

P2001, 0655

**PCT**

WELTOORGANISATION FÜR GEISTIGES EIGENTUM

Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICH NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ :	A1	(11) Internationale Veröffentlichungsnummer: WO 98/28709
G06K 19/077		(43) Internationales Veröffentlichungsdatum: 2. Juli 1998 (02.07.98)
(21) Internationales Aktenzeichen: PCT/DE97/02964		(81) Bestimmungsstaaten: BR, CN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 18. Dezember 1997 (18.12.97)		
(30) Prioritätsdaten: 196 53 623.5 20. Dezember 1996 (20.12.96) DE		
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).		
(72) Erfinder; und		
(75) Erfinder/Anmelder (nur für US): STAMPKA, Peter [DE/DE]; Klardorfer Strasse 41A, D-92421 Schwandorf (DE). HUBER, Michael [DE/DE]; Peter-Rosegger-Strasse 17, D-93152 Nittendorf (DE). SCHRAUD, Gerhard [DE/DE]; Johann-Lipp-Strasse 62, D-86415 Mering (DE). STRIEGEL, Peter [DE/DE]; Himalajastrasse 58, D-81825 München (DE). MENSCH, Hans-Georg [DE/DE]; Hofenstetten 1, D-92431 Neunburg (DE).		

(54) Title: **NON-CONDUCTIVE SUBSTRATE FORMING A BAND OR PANEL, ON WHICH ARE FORMED A PLURALITY OF SUPPORT ELEMENTS**

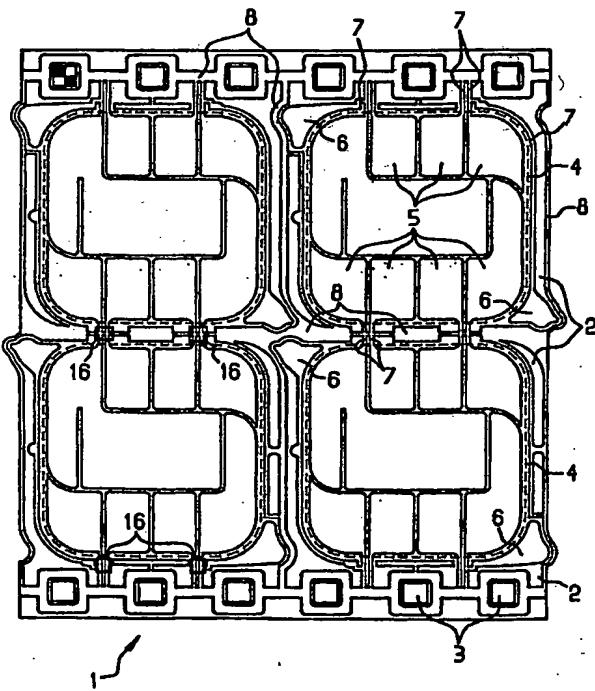
(54) Bezeichnung: **NICHT-LEITENDES, EIN BAND ODER EINEN NUTZEN BILDENDES SUBSTRAT, AUF DEM EINE VIELZAHL VON TRÄGERELEMENTEN AUSGEBILDET IST**

(57) Abstract

The invention relates to a non-conductive substrate (2) forming a band or panel on which are embodied a plurality of support elements, notably for incorporation into a chip card. One side of the substrate (2) has conductive contact surfaces (6) which lie within an outer contour line (4) that determines the size of one support element. The other side of the substrate (2) has conductive structures (9, 10, 11, 14, 15) which, within the outer contour line (4), form at least contact areas (11) for at least one coil to be contacted and at least one semi-conductor chip. Outside each outer contour line (4) the invention provides for recesses (13) in the substrate (2), through which the connections to the coil of the semi-conductor chip can be accessed for test purposes from the side of the contact surface as long as the support element remains in the band or panel.

(57) Zusammenfassung

Nicht-leitendes, ein Band oder einen Nutzen bildendes Substrat (2), auf dem eine Vielzahl von Trägerelementen, insbesondere zum Einbau in eine Chipkarte, ausgebildet ist, indem die eine Seite des Substrats (2) mit leitenden Kontaktflächen (6) versehen ist, die innerhalb einer die Größe eines Trägerelementes bestimmenden Außenkonturlinie (4) liegen, wobei die andere Seite des Substrats (2) mit Leiterstrukturen (9, 10, 11, 14, 15) versehen ist, die innerhalb der Außenkonturlinie (4) zumindest Kontaktfelder (11) für wenigstens eine zu kontaktierende Spule und wenigstens einen Halbleiterchip bilden und wobei außerhalb jeder Außenkonturlinie (4) Ausnahmungen (13) im Substrat (2) sind, durch die hindurch zu Testzwecken ein Zugriff auf Spulenanschlüsse des Halbleiterchips von der Kontaktflächenseite möglich ist, solange das Trägerelement noch im Band oder im Nutzen ist.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Nicht-leitendes, ein Band oder einen Nutzen bildendes Substrat, auf dem eine Vielzahl von Trägerelementen ausgebildet ist

Ein Trägerelement, das aus einem solchen Substrat herausgetrennt ist, ist aus den Figuren 8 und 9 der EP 0 671 705 A2 bekannt. Das dortige Trägerelement ist zum Einbau in eine Chipkarte vorgesehen, die sowohl kontaktbehaftet über eine Anzahl von Kontaktflächen als auch kontaktlos über eine Antennenspule, beispielsweise über transformatorische Kopplung, betrieben werden kann.

Trägerelemente für Chipkarten dienen der mechanischen Halterung des Halbleiterchips und weisen außerdem die zur Kontaktierung des Chips nötigen Kontaktflächen auf. Sie werden sowohl in rein kontaktbehafteten Chipkarten eingesetzt, so daß ein Zugriff auf den Halbleiterchip nur über die Kontaktfläche möglich ist, als auch in sogenannten Kombikarten, bei denen zusätzlich ein kontaktloser Zugriff mittels Leiterschleifen in der Karte und/oder auf dem Trägerelement oder dem Chip möglich ist. Die Leiterschleifen werden zu diesem Zweck mit Spulenanschlüssen des Halbleiterchips verbunden.

Diese Trägerelemente werden üblicherweise nicht einzeln, sondern auf einem langen Band oder einem großflächigen Nutzen aus einem nicht-leitenden Material in großen Stückzahlen hergestellt. Dieses - im folgenden als Substrat bezeichnete - Band oder der Nutzen werden zunächst durch beispielsweise Stanzen von Ausnehmungen strukturiert und dann einseitig mit einer Kupferfolie kaschiert, die anschließend beispielsweise durch Ätzen strukturiert wird, so daß die Kontaktflächen für die einzelnen Trägerelemente gebildet werden. Alle leitenden Strukturen sind zunächst noch durch schmale Leitungen elek-

trisch leitend miteinander verbunden, um eine galvanische Oberflächenveredelung durchführen zu können.

Die Halbleiterchips werden auf der den Kontaktflächen gegenüberliegenden Seite des Substrats befestigt und mittels Bonddrähte durch die Ausnehmungen elektrisch mit den Kontaktflächen verbunden. Vor einem Funktionstest der Halbleiterchips, der noch im Band oder Nutzen stattfindet, werden die schmalen Leitungen mittels Stanzen durchtrennt, so daß die Kontaktflächen elektrisch voneinander isoliert sind.

Beim Trägerelement der EP 0 671 705 A2 sind die Spulenanschlüsse des Halbleiterchips durch Ausnehmungen im Substrat hindurch mit Kontaktflächen auf der dem Chip gegenüberliegenden Seite des Substrats verbunden. Die Enden einer anzuschließenden Antennenspule werden ebenfalls mit diesen Kontaktflächen durch hierfür vorgesehene Ausnehmungen im Substrat hindurch mit zwei dieser Kontaktflächen verbunden. Die Kontaktflächen dienen also als Verbindungselemente zwischen Spule und Halbleiterchip. Dies hat aber den Nachteil, daß die Spulenanschlüsse des Halbleiterchips von der Kontaktflächenseite her zugänglich sind, auch nachdem die Trägerelemente vereinzelt sind.

Die Aufgabe vorliegender Erfindung ist es daher, ein Trägerelement, das auf einem Substrat hergestellt wird, anzugeben, bei dem die Spulenanschlüsse eines zu montierenden Halbleiterchips von der Kontaktflächenseite her zugänglich sind, so lange das Trägerelement noch im Band oder Nutzen ist und nach der Vereinzelung diese Zugriffsmöglichkeit unterbunden ist.

Die Aufgabe wird gemäß Anspruch 1 durch Trägerelemente auf einem Band- oder Nutzen-förmigen, nicht-leitenden, metallkasierten Substrat gelöst, bei denen auch die zweite Seite des Substrats mit Leiterstrukturen versehen ist, die innerhalb der Außenkonturlinie des Trägerelements zumindest Kontaktlemente für wenigstens eine zu kontaktierende Spule und

wenigstens einen Halbleiterchip bilden und bei denen außerhalb der Außenkonturlinie Ausnehmungen im Substrat sind, durch die hindurch zu Testzwecken ein Zugriff auf Spulenanschlüsse des Halbleiterchips von der Kontaktflächenseite her möglich ist, solange das Trägerelement noch im Band oder im Nutzen ist.

Hierdurch ist es möglich, den Halbleiterchip zu testen, so lange das Trägerelement noch nicht aus dem Band oder dem Nutzen herausgetrennt ist. Die Ausnehmungen im Substrat erlauben einen Zugriff auf die Chipseite des Substrats von der Kontaktflächenseite her. Wenn das Trägerelement jedoch aus dem Band oder Nutzen getrennt ist, sind die Ausnehmungen nicht mehr Bestandteil des Trägerelements, da sie außerhalb dessen Außenkontur liegen. Somit ist beim vereinzelten Trägerelement kein Zugriff auf die Spulenanschlüsse des Halbleiterchips von der Kontaktflächenseite her mehr möglich. Wenn das Trägerelement in eine Karte eingebracht ist und somit ein Zugriff auf die Spulenanschlüsse nur noch kontaktlos über die angeschlossene Antenne möglich ist, kann von der Kontaktflächenseite her kein Abhören oder Stören bzw. kein elektrischer Zugriff oder eine Manipulation der kontaktlosen Datenübertragung erfolgen.

Um den Testzugriff auf die Spulenanschlüsse des Halbleiterchips möglichst einfach zu gestalten, können in vorteilhafter Weise die Ausnehmungen mit leitenden Flächen abgedeckt sein, die mit den Leiterstrukturen, mit denen der oder die Halbleiterchips und die Spule(n) verbunden werden, verbunden ist. Die Testspitzen können dann in einfacher Weise durch die Ausnehmungen hindurch auf die Fläche gesetzt werden.

Eine weitere Ausbildung sieht vor, die Ausnehmungen auf der Kontaktflächenseite des Substrats mit einer leitenden Fläche abzudecken, die über Durchkontaktierungen durch die Ausnehmungen hindurch mit den Leiterstrukturen auf der Chipseite des Substrats verbunden sind. Die Durchkontaktierungen können

hierbei die Ausnehmungen ganz ausfüllen oder aber nur deren Wände bedecken.

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels mit Hilfe von Figuren näher erläutert. Dabei zeigen:

Figur 1 die Vorderansicht eines Ausschnittes aus einem Substratband und

Figur 2 die Rückansicht eines Ausschnittes aus einem Substratband.

Die Figur 1 zeigt einen Ausschnitt aus einem Band 1, auf dem vier Trägerelemente paarweise ausgebildet sind. Es ist allerdings möglich, eine größere Anzahl als zwei Trägerelemente nebeneinander auf dem Band anzuordnen. Das Band besteht aus einem nicht-leitenden Substrat 2, wobei als Material beispielsweise glasfaserverstärktes Epoxidharz genommen werden kann.

Das Substrat 2 weist Perforationen 3 entlang beider Ränder auf, die dem Weitertransport mittels in die Perforationen 3 eingreifender Mitnehmer, beispielsweise bei der Bestückung des Bandes mit Halbleiterchips oder dem Funktionstest, dienen.

Die Außenkontur eines Trägerelements ist durch eine strichlierte Linie 4 angedeutet. Die fertig bestückten Trägerelemente werden entlang dieser Linie 4 aus dem Band 1 gestanzt oder sonstwie herausgetrennt.

Das nicht-leitende Substrat 2 wurde mit einer Metallfolie, vorzugsweise einer Kupferfolie, kaschiert. Durch anschließendes Ätzen wurde die Metallfolie strukturiert, so daß Kontaktflächen 5 innerhalb der Trägerelementaußenkonturlinie 4 sowie weitere Kontaktflächen 6, die außerhalb der Außenkonturlinie 4 des Trägerelements liegen, entstanden. Die Kontaktflächen

5, 6 sind über schmale Leitungen 7 mit um die Außenkonturlinien 4 herumlaufenden Leitungen 8 und somit alle miteinander verbunden. Dieser elektrische Kurzschluß ist nötig, da die Kontaktflächen 5, 6 galvanisch oberflächenveredelt werden.

5

Figur 2 zeigt die andere Seite des Substrats 2, auf der der (nicht dargestellte) Halbleiterchip montiert wird. Auch diese Seite ist mit durch Metallfolienkaschieren und Ätzen entstandenen Leiterstrukturen 9, 10, 11, 14, 15 versehen.

10

Das Substrat wurde zunächst auf einer Seite mit einer Metallfolie kaschiert und anschließend mit Ausnehmungen 12, 13, die beispielsweise durch Stanzen erzeugt werden, versehen. Zum nachfolgenden Ätzen der Leiterstrukturen 9, 10, 14, 15 müssen 15 die Ausnehmungen 12 abgedeckt werden, so daß um die Ausnehmungen 12 herum Metallisierungen 11 verbleiben, die zur Kontaktierung der Spulenanschlüsse eines Halbleiterchips genutzt werden können. Die Metallisierungen 11 bilden jeweils geschlossene leitende Ringe um die Ausnehmungen 12 herum. Zur 20 Vermeidung möglicherweise auftretender Wirbelstromverluste können aber auch Unterbrechungen vorgesehen werden.

25 Von den Ausnehmungen 12, 13 liegen erste Ausnehmungen 12 innerhalb der Außenkonturlinie 4 und dienen der elektrischen Verbindung des Halbleiterchips mit den auf der anderen Seite des Substrats 2 liegenden Kontaktflächen 5 mittels Bonddrähte. Zweite Ausnehmungen 13 sind als Durchkontaktierungen ausgeführt, die die weiteren Kontaktflächen 6 über Leitungen 14 mit Spulenanschlußkontakteflächen 10 verbinden.

30

Das Substrat 4 ist relativ flexibel. In einer Chipkarte würde ein darauf montierter Halbleiterchip erheblichen Biegebelastungen ausgesetzt sein. Größere Chips würden sogar brechen. Aus diesem Grund wird ein (nicht dargestellter) Verstärkungsrahmen 35 auf der Chipseite des Trägerelements mit einem Isolierkleber aufgeklebt. Der Verstärkungsrahmen ist vorzugsweise

se aus Metall, er kann aber auch aus einem anderen Material sein.

Da die Trägerelemente üblicherweise in die Chipkarte einge-
5 klebt werden, muß entlang des Randes der Trägerelemente Platz
für den Kleber sein, so daß der Verstärkungsrahmen nur knapp
außerhalb des Bereichs der Bondlöcher 12 verläuft. Da außer-
dem das Innere des Verstärkungsrahmens zum Schutz des oder
10 der darin angeordneten Halbleiterchips und der Bonddrähte mit
einer Vergußmasse aufgefüllt wird, müssen Kontaktflächen 10
zum Anschluß einer Antennenspule für den kontaktlosen Betrieb
des Halbleiterchips außerhalb des Verstärkungsrahmens liegen.
Andererseits müssen Leiterstrukturen 15 vorgesehen sein, die
15 unter dem Rahmen in dessen Inneres zur Verbindung mit dem
Halbleiterchip verlaufen. Da der Rahmen auf diesen Leiter-
strukturen 15 instabil zum Liegen käme, ist eine der Form des
Rahmens entsprechende Metallisierung 9 zumindest gleicher
Dicke wie die Leiterstrukturen 15 unterhalb des Verstärkungs-
rahmens auf dem Substrat 2 angeordnet.

20

Da dieser Metallisierungsring 9 und auch innerhalb des Rah-
mens liegende Kontaktfelder 11, mit denen die Spulenanschlüs-
se des Halbleiterchips über Bonddrähte verbunden werden und
die dann über die Leiterstrukturen 15 mit den Spulenanschluß-
25 kontaktflächen 10 verbunden sind, parasitäre Kapazitäten dar-
stellen, wird ihre Fläche so klein als möglich gewählt, um
die Kapazität so klein als möglich zu halten.

30

Der Metallisierungsring 9 unter dem Verstärkungsrahmen darf
nicht geschlossen sein, da sonst die Spulenenden kurzge-
schlossen würden. Dadurch bilden sich jedoch zusätzliche pa-
rasitäre Kapazität zwischen den offenen Enden des Metallisie-
rungsrings 9 und der oder den Leitungen 15 aus. Um diese Ka-
pazitäten so gering wie möglich zu halten, ist der Spalt in
35 dem Metallisierungsring unter dem Rahmen einerseits so groß
wie möglich zu gestalten, andererseits aber nur so groß, daß
die Vergußmasse nicht unter dem Rahmen herauslaufen kann.

Die auf dem Band oder dem Nutzen fertig montierten und gebundenen Halbleiterchips werden noch vor dem Vereinzeln auf dem Band oder dem Nutzen getestet. Da jedoch alle Kontaktflächen

5 5, 6 elektrisch über die schmalen Leitungen 7 und 8 miteinander verbunden sind, müssen diese Leitungen zuerst durchtrennt werden. Dies erfolgt durch Stanzen von Löchern 16. Diese sind aus Gründen der Übersichtlichkeit in den Figuren 1 und 2 nur an einem Trägerelement dargestellt.

10

Der Halbleiterchip läßt sich nun über die Kontaktflächen 5 wie im normalen Betrieb in einer Chipkarte testen. Der kontaktlose Betrieb läßt sich in erfindungsgemäßer Weise von der Kontaktflächenseite her über die weiteren Kontaktflächen 6, 15 die über die Durchkontaktierungen 13 und die Leitungen 14 mit den Spulenanschlußkontakteflächen 10 verbunden sind, testen.

Nach dem Vereinzeln der Trägerelemente sind die Leitungen 14 durchtrennt und die Durchkontaktierungen 13 und die weiteren 20 Kontaktflächen 6 nicht Bestandteile eines Trägerelements, so daß ein Zugriff von der Kontaktseite des Trägerelements auf die Spulenanschlüsse des Halbleiterchips nicht mehr möglich ist. Außerdem ist dann bei einem in eine Chipkarte eingesetzten Trägerelement ein Zugriff auf die Spulenanschlüsse nur 25 noch über eine angeschlossene Antennenspule möglich.

Um die Spulenanschlüsse von der Kontaktseite her testen zu können, sind die weiteren Kontaktflächen 6 nicht unbedingt 30 nötig. Es würde ausreichen, die Ausnehmungen mit leitendem Material zu füllen. Allerdings wäre dann die von Testspitzen zu kontaktierende Fläche deutlich kleiner.

Eine weitere Möglichkeit besteht darin, die Ausnehmungen 13 nicht als Durchkontaktierungen auszuführen, sondern sie statt 35 dessen auf der Chipseite mit Kontaktflächen abzudecken. Die Testspitzen könnten dann durch die Ausnehmungen 13 hindurch mit diesen Kontaktflächen in Kontakt gebracht werden.

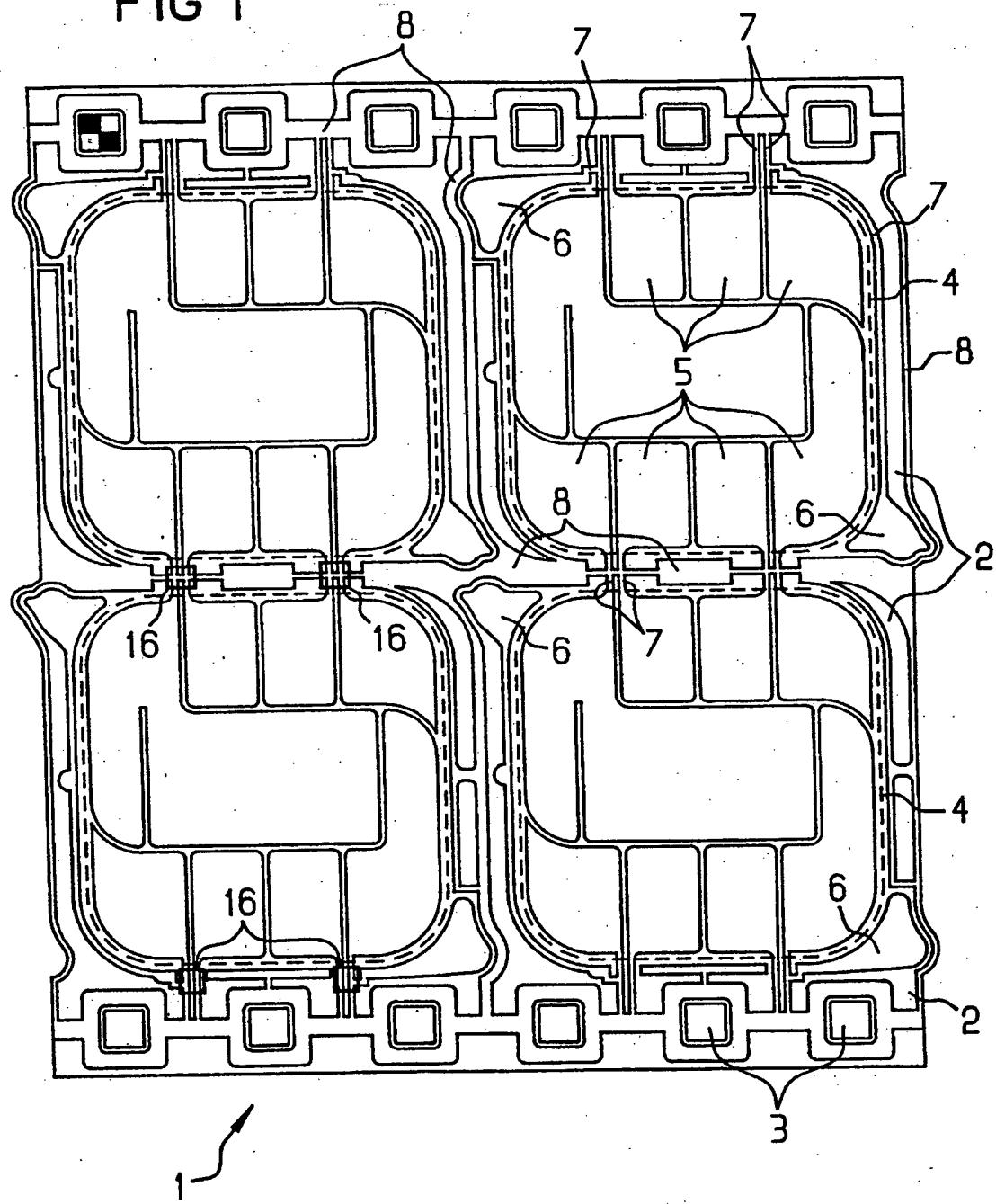
Allen Ausführungsvarianten ist jedoch gemeinsam, daß ein Zugriff auf die Spulenanschlüsse des Halbleiterchips von der Kontaktflächenseite her nur möglich ist, solange das Trägerelement noch nicht vereinzelt, sondern noch Bestandteil eines Bandes oder eines Nutzens ist.

Patentansprüche

1. Nicht-leitendes, ein Band oder einen Nutzen bildendes Substrat (2), auf dem eine Vielzahl von Trägerelementen, insbesondere zum Einbau in eine Chipkarte, ausgebildet ist, indem die eine Seite des Substrats (2) mit leitenden Kontaktflächen (6) versehen ist, die innerhalb einer die Größe eines Trägerelementes bestimmenden Außenkonturlinie (4) liegen, dadurch gekennzeichnet,
5 daß die andere Seite des Substrats (2) mit Leiterstrukturen (9, 10, 11, 14, 15) versehen ist, die innerhalb der Außenkonturlinie (4) zumindest Kontaktfelder (11) für wenigstens eine zu kontaktierende Spule und wenigstens einen Halbleiterchip bilden und
10 daß außerhalb jeder Außenkonturlinie (4) Ausnehmungen (13) im Substrat (2) sind, durch die hindurch zu Testzwecken ein Zugriff auf Spulenanschlüsse des Halbleiterchips von der Kontaktflächenseite möglich ist, solange das Trägerelement noch im Band oder im Nutzen ist.
15 20 2. Substrat nach Anspruch 1, dadurch gekennzeichnet, daß die Ausnehmungen (13) als mit den Leiterstrukturen (10, 11, 14, 15) verbundene Durchkontaktierungen ausgebildet sind und jeweils mit einer relativ kleinen zusätzlichen, außerhalb der Außenkonturlinie (4) auf der Kontaktflächenseite angeordneten Kontaktfläche (6) in Verbindung sind.
25 30 3. Substrat nach Anspruch 1, dadurch gekennzeichnet, daß auf der Kontaktflächenseite gegenüberliegenden Seite die Ausnehmungen (13) durch jeweils eine leitende, mit den Leiterstrukturen (10, 11) verbundene Fläche abgedeckt sind.
35 4. Substrat nach Anspruch 1, dadurch gekennzeichnet, daß die Ausnehmungen (13) als mit den Leiterstrukturen (10, 11, 14, 15) verbundene Durchkontaktierungen ausgebildet sind und jeweils mit einer der Kontaktflächen (5) innerhalb der Außenkonturlinie (4) in Verbindung sind.

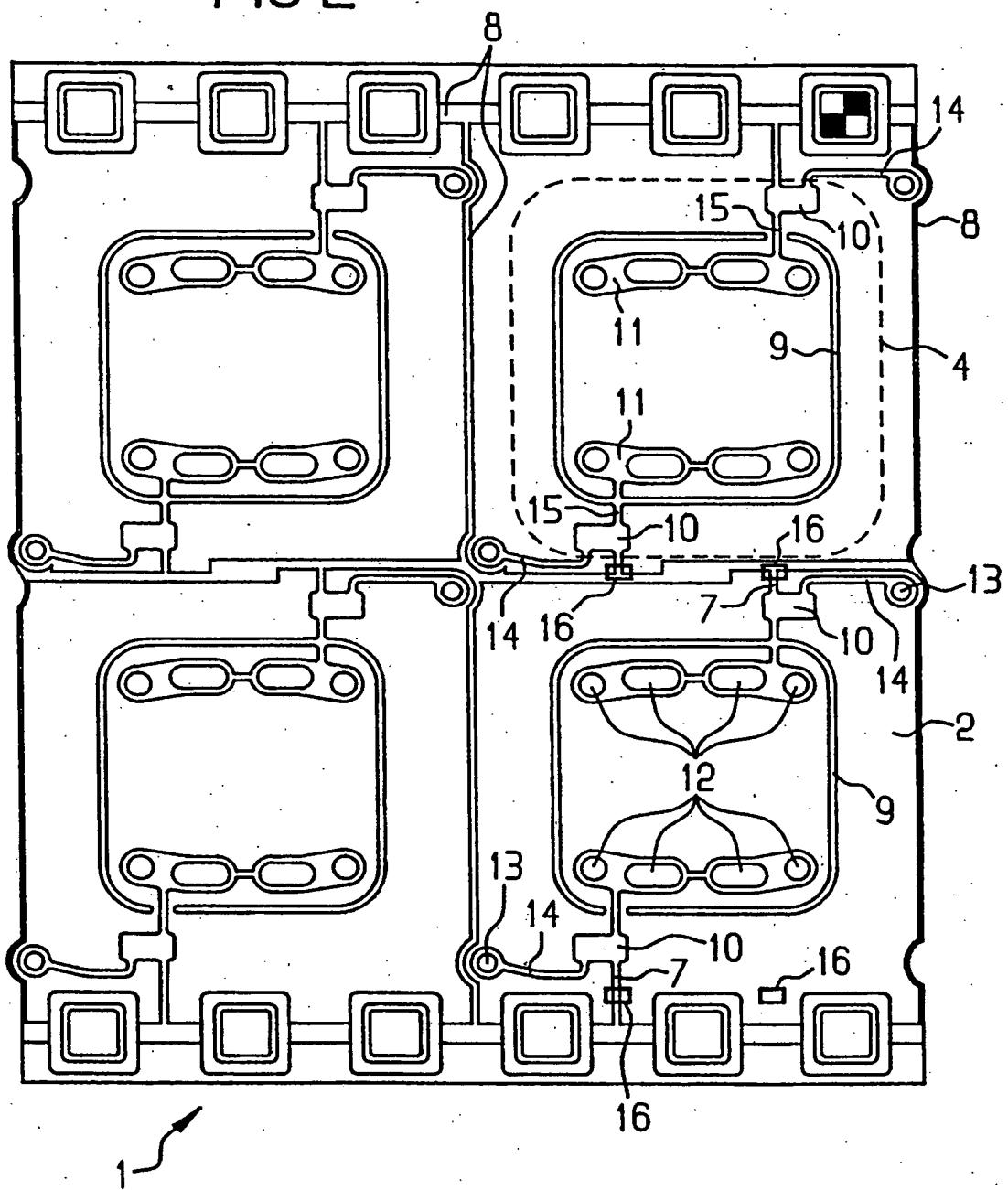
1/2

FIG 1



2/2

FIG 2



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 97/02964

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 G06K19/077

According to International Patent Classification(IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 G06K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 581 284 A (MITSUBISHI ELECTRIC CORP) 2 February 1994 see column 1, line 3 - column 2, line 18 see column 3, line 42 - column 4, line 48	1-4
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 304 (M-1619), 10 June 1994 & JP 06 064381 A (OKI ELECTRIC IND CO LTD), 8 March 1994, see abstract	1-4
A	EP 0 671 705 A (GEMPLUS CARD INT) 13 September 1995 cited in the application see the whole document	1-4



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

1

Date of the actual completion of the international search

28 April 1998

Date of mailing of the international search report

07/05/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Goossens, A

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 97/02964

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0581284 A	02-02-94	JP 2672924 B	05-11-97
		JP 6048078 A	22-02-94
		DE 69314867 D	04-12-97
		DE 69314867 T	26-03-98
EP 0671705 A	13-09-95	FR 2716281 A	18-08-95
		JP 8052968 A	27-02-96
		US 5598032 A	28-01-97

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 97/02964

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 G06K19/077

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 G06K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 0 581 284 A (MITSUBISHI ELECTRIC CORP) 2. Februar 1994 siehe Spalte 1, Zeile 3 - Spalte 2, Zeile 18 siehe Spalte 3, Zeile 42 - Spalte 4, Zeile 48	1-4
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 304 (M-1619), 10.Juni 1994 & JP 06 064381 A (OKI ELECTRIC IND CO LTD), 8.März 1994, siehe Zusammenfassung	1-4
A	EP 0 671 705 A (GEMPLUS CARD INT) 13.September 1995 in der Anmeldung erwähnt siehe das ganze Dokument	1-4

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

1

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

28. April 1998

07/05/1998

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Goossens, A